

Dialog Results

POWERED BY Dialog

LCD device has transfer unit of one LC driver to synchronize display signal corresponding to other drivers with clock signal and to transfer synchronized signal to driver circuit of next stage
 Patent Assignee: HITACHI DEVICE ENG CO LTD; HITACHI LTD

Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
JP 2001324967	A	20011122	JP 2000145215	A	20000517	200234	B

Priority Applications (Number Kind Date): JP 2000145215 A (20000517)

Patent Details

Patent	Kind	Language	Page	Main IPC	Filing Notes
JP 2001324967	A		12	G09G-003/36	

Abstract:

JP 2001324967 A

NOVELTY Data acquisition units of LC drivers (104-1 - 104-11) extract display data corresponding to their LC drivers from the received display signal. A transfer unit of one LC driver synchronizes the display signal corresponding to other LC drivers with a clock signal and transfers the synchronized signal to the LC driver of next stage.

USE Liquid crystal display device.

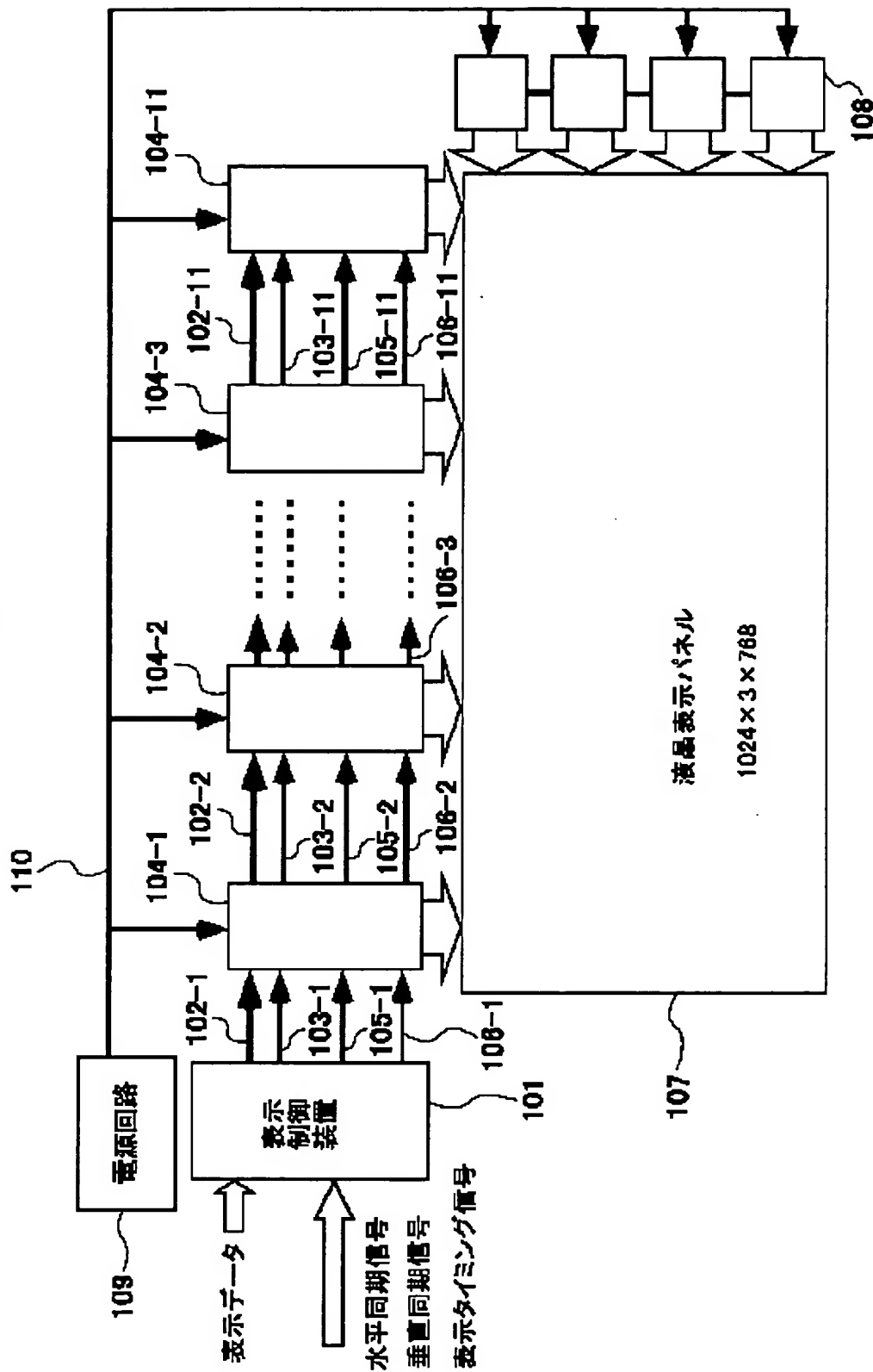
ADVANTAGE Reduces power consumption by eliminating unwanted signal transmission process. Performs data transmission reliably by synchronizing display signal with a clock signal.

DESCRIPTION OF DRAWING(S) The figure shows a block diagram of liquid crystal display device. (Drawing includes non-English language text).

LC drivers (104-1 - 104-11)

pp; 12 DwgNo 1/13

図 1



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-324967

(P2001-324967A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 Y 5 C 0 8 0
			6 2 3 D

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号、 特願2000-145215 (P2000-145215)

(22) 出願日 平成12年 5 月 17 日 (2000. 5. 17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 大石 純久

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 100087170

弁理士 富田 和子

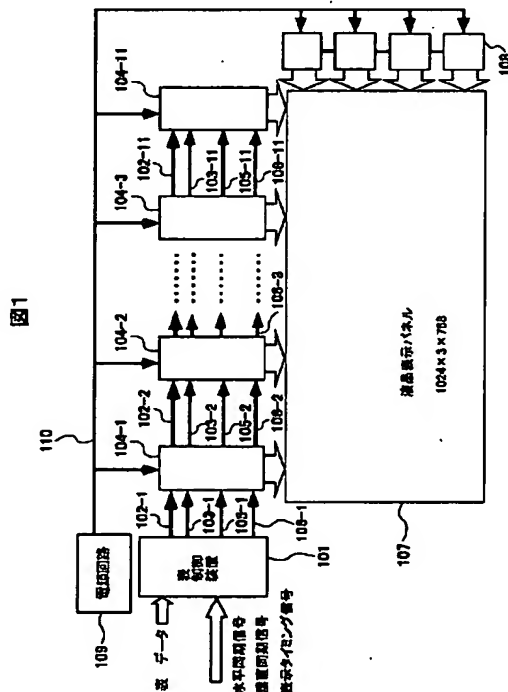
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】カスケード接続された液晶ドライバを備え、表示データに同期したクロック信号を各液晶ドライバ全てで生成することで、位相のずれの無い確実なデータ転送と、低消費電力化を可能とする。

【解決手段】表示制御装置101から液晶ドライバ104をカスケード型に接続して表示データ102及びクロック103を順次転送するもので、各液晶ドライバにクロック103に対して $\pi/2$ 位相遅延したクロックまたは通倍のクロックを生成することで、信号転送のための表示データの変化タイミングを設定し、イネーブル信号106を入出力することによって常に1つの液晶ドライバだけが表示データ102を取り込む構成にする。



【特許請求の範囲】

【請求項1】表示データを取り込み、該取り込んだ表示データに対応する階調電圧を出力する液晶ドライバを複数個備える液晶表示装置において、前記複数個の液晶ドライバを動作させるための表示データ信号および該表示データを取り込むためのクロック信号は、前記複数個の液晶ドライバをカスケード型に接続した配線を通して供給され、前記複数の液晶ドライバの各々は、前記入力された表示データ信号から当該液晶ドライバに対応する表示データを取り込むデータ取得手段と、他の液晶ドライバに対応する表示データを含む表示データ信号を前記クロック信号に同期させて、次段の液晶ドライバへ転送する同期転送手段とを備えることを特徴とする液晶表示装置。

【請求項2】請求項1に記載の液晶表示装置において、前記複数の液晶ドライバの各々は、外部または前段の液晶ドライバから入力されたイネーブル信号を受け付けて、当該液晶ドライバの前記データ取得手段における表示データ取り込み動作を開始させ、該表示データ取り込み動作が終了した後に、前記イネーブル信号を生成して次段の液晶ドライバへ出力するイネーブル制御手段をさらに備えることを特徴とする液晶表示装置。

【請求項3】請求項1に記載の液晶表示装置において、前記同期転送手段は、入力された前記クロック信号と同一周波数で位相が異なるクロック信号を生成する第2クロック生成手段と、前記位相の異なるクロック信号に前記転送すべき表示データ信号を同期させるデータ同期手段とを備えることを特徴とする液晶表示装置。

【請求項4】請求項3に記載の液晶表示装置において、前記第2クロック生成手段は、前記入力されたクロック信号に対して $\pi/2$ だけ位相遅延されたクロック信号を生成するDLLで構成されることを特徴とする液晶表示装置。

【請求項5】請求項1に記載の液晶表示装置において、前記同期転送手段は、前記入力されたクロック信号に対して逡倍のクロック信号を生成する第2クロック生成手段と、前記逡倍のクロック信号に前記転送すべき表示データ信号を同期させるデータ同期手段とを備えることを特徴とする液晶表示装置。

【請求項6】請求項5に記載の液晶表示装置において、前記第2クロック生成手段は、前記入力されたクロック信号に対して2倍の周波数を持つクロック信号を生成するPLLで構成され、前記データ同期手段は、前記2倍の周波数を持つクロック信号の立ち上がり前記表示データ信号を同期することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の周辺液晶駆動回路に関わり、特に液晶ドライバの低消費電力化に有効な技術に関するものである。

【0002】

【従来の技術】従来の液晶表示装置の中には、例えば特開平10-268838号公報に例示されているように、スタブ型に接続された複数の液晶ドライバを備えているものがある。このスタブ型接続された液晶ドライバとは、例えば図12に示すように、表示制御装置601からの配線が全ての液晶ドライバ604-1～604-11に直接接続されている構成を指す。

【0003】上記スタブ型接続された液晶ドライバの駆動動作について図12、図13を用いて説明する。図12において、601は表示制御装置、602はクロック信号、603は表示データ、604-1から604-11は液晶ドライバ、605-1から605-11はイネーブル信号、609は入力電源回路、610は階調電圧である。

【0004】従来のスタブ型接続では、表示制御装置601は、本体のコンピュータ側から送信されてくる各種同期信号と表示データを基に、液晶ドライバを制御および駆動するためのクロック信号602と表示データ603を再生し、604-1～604-11の全ての液晶ドライバに供給する。

【0005】その際、図13に示すように、イネーブル信号605-1が表示制御装置601から初段の液晶ドライバ604-1に送出されると、クロック信号602の立ち上がり、立ち下がり同期するデュアルエッジのタイミングで液晶ドライバ604-1に対応する表示データ603が取り込まれる。該当する表示データの取り込みが終わると、イネーブル信号605-2を次段の液晶ドライバ604-2に送出する。

【0006】第2段の液晶ドライバ604-2にイネーブル信号605-2が入力されると、液晶ドライバ604-2は表示データ603のうち当該液晶ドライバに対応する表示データを逐次取り込む。そして、取り込み終わると、イネーブル信号605-3を送出し、この動作を最終ドライバ604-11まで繰り返す。

【0007】また、液晶ドライバ604-1～604-11の各々は、取り込んだ表示データに対応した階調電圧610を入力電源回路609から選択して液晶パネル607に出力する。

【0008】

【発明が解決しようとする課題】上記従来のスタブ型接続された液晶ドライバを備える液晶表示装置では、ある特定の液晶ドライバに対応する表示データを転送する際でも、同時に残りすべての液晶ドライバにも表示データを伝送することになる。このため、取り込む必要の無い表示データの転送に起因する電力消費の増加という問題

がある。

【0009】また、上記従来のスタブ型接続された液晶ドライバでは、必然的に配線本数が多くなるため配線実装の煩雑さが増すだけでなく、液晶ドライバを別基板に搭載し該別基板と液晶表示パネルが形成されている基板とを組み合わせる液晶表示装置を構成している場合には、製造コストがさらに増加するという問題がある。

【0010】本発明は上記の問題を考慮してなされたもので、消費電力、製造コストをより低減化できる複数の液晶ドライバを備えた液晶表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明の液晶表示装置では、複数の液晶ドライバをカスケード型に接続し、イネーブル信号、クロック信号および表示データ信号を当該カスケード接続された液晶ドライバ間で次々に転送させる構成とする。ここでカスケード型とは、表示制御装置から1つの液晶ドライバのみに配線され、該配線された液晶ドライバは次の液晶ドライバに配線され、このように次々と直列状に配線された液晶ドライバの構成を指す。

【0012】さらに、本発明では、カスケード型接続された複数の液晶ドライバ間で転送される表示データと該表示データを取り込むためのクロック信号の位相がずれないように、両者を各液晶ドライバ毎で同期させてから順次転送する構成とする。また、液晶ドライバ間でイネーブル信号を順次転送することで、当該複数の液晶ドライバのうち常に1つの液晶ドライバだけが表示データの取り込みを実施する構成とする。

【0013】

【発明の実施の形態】本発明では、従来の液晶表示装置に備えられている複数の液晶ドライバからなる構成においてスタブ型配線されていたクロック信号および表示データ信号を、液晶ドライバがカスケード型に接続されるよう配線し、電源だけをスタブ型配線する。

【0014】具体的には、本発明では、隣接する液晶ドライバ間を接続するよう配線し、表示データ信号、クロック信号、制御信号およびイネーブル信号を液晶ドライバ毎に順送りし次段へと転送する方法により、全ての液晶ドライバへ必要な信号を供給する。このような構成によれば、表示データ信号が転送されてない液晶ドライバは連続して動作せずとも良いので低消費電力化が可能となる。

【0015】本発明は、カスケード型に接続された液晶ドライバ間で転送される信号を制御する手段を提供するものである。つまり単純に各液晶ドライバを経由するように信号配線を接続しただけでは、ガラス基板などの基板上に配線するような場合、配線抵抗が高くなり、正常に動作しないことがある。そこで本発明では以下の方法を適用する。

【0016】本発明では、カスケード接続された液晶ドライバにおいて、次段へ転送すべき表示データを、同じく転送すべきクロック信号に同期させるための同期手段を設ける。例えば、液晶ドライバ間を転送するクロック信号および表示データが当該液晶ドライバ内でクロック信号の立ち上がりに同期入力をするとともに、出力にもクロック信号の立ち上がりに同期して送出する。

【0017】このような構成によれば、カスケード接続のための転送による液晶ドライバの初段から最終段に至るまでの間に発生する各液晶ドライバ内での遅延時間によるばらつきの累積をなくし、表示制御に係わる信号の受け渡しセットアップ時間やホールド時間などに対する充分なタイミングマージンを確保することができる。

【0018】本発明では、液晶ドライバ間を転送するクロック信号の立ち上がり立ち下りのエッジに同期してデータを取り込むデュアルエッジ動作を使用し、クロック周波数をデータ周波数の半分として動作周波数の拡大を図っている。

【0019】前記デュアルエッジ動作の場合、カスケード型接続では次段の液晶ドライバへデータを出力する際の、表示データ信号の変化タイミングを液晶ドライバ内部で生成する必要がある。

【0020】本発明では、液晶ドライバ内部で入力クロック信号を位相遅延させることで生成した2相クロックまたは位相同期ループにより生成した通倍クロックを用いて、前記表示データ信号の変化タイミングを確保する。例えば、表示制御装置から各液晶ドライバへ転送されるクロック信号と同一周波数で位相が $\pi/2$ 異なるクロック信号を用いるか、あるいは、通倍の位相同期ループによる通倍クロック信号を用いることで、次段の液晶ドライバへの表示データ転送を実施するための変化タイミングを生成する。

【0021】また、本発明において、表示データが表示制御装置から出力されてから最後の液晶ドライバへ到達するためには、全液晶ドライバの個数分のリレーを経るが、表示制御装置はドライバ1個分をリレーするために必要なクロック数倍のドライバの個数だけのクロック数に、各液晶ドライバで表示データ及びクロックを同期転送させる際に位相遅延された量に対応するクロック数を加えたものを、最終データ送出後に出し続けられたい。

【0022】また、本発明の液晶ドライバは、入力された表示データをまず自分の内部レジスタに取り込み、自身の内部レジスタが取り込み終わるまでは次段への信号出力をしないように、カスケード接続の転送によるイネーブル信号の入出力によって制御されている。このような構成により、無駄な信号伝送をせずに済み、低消費電力が可能となる。

【0023】本発明では、カスケード型に接続された液晶ドライバは表示制御装置から第1段の1つの液晶ドライバにのみ、表示データが入力されるように構成されて

おり、他の液晶ドライバには該第1段の液晶ドライバから順次表示データが転送される。このように転送される表示データは、各液晶ドライバ内部においてクロック信号と同期した状態で転送されているため、位相のずれはない。

【0024】各液晶ドライバは入力された表示データを取り込み終わるまで次段のドライバへ信号出力をせず、自身の液晶ドライバに対応する表示データを取り込み終わると、次段の液晶ドライバへの信号転送を開始する。この動作を最終のドライバまで行う。表示データの取り込み、次段の液晶ドライバへの転送開始や終了はイネーブル信号の入出力によって制御される。

【0025】このような構成によれば、全液晶ドライバの内、常に一つの液晶ドライバだけが表示データを取り込むため、無駄な信号伝送をせずにすみ、低消費電力化が可能になる。

【0026】また、液晶表示の技術で必要になる液晶ドライバ、特にドレインドライバは多くの配線を通すことが要求され、しかも液晶表示装置の狭額縁化の要求に対応するため、配線幅が細いことが必要とされる。従ってこのドレインドライバの構成は複雑にならざるを得ず、結果として非常に高価なものになってしまう場合がある。

【0027】これに対して、本発明によれば、複数の液晶ドライバをカスケード型に接続して液晶パネルのガラス基板上に設けることで、配線の簡略化とフレームの狭額縁化が可能になる。よって、上記ドレインドライバを非常に簡素で安価なものにし、低コストの液晶表示装置を提供することが可能となる。

【0028】以下、本発明の一実施形態について図面を参照して説明する。

【0029】本実施形態における液晶表示装置は、例えば図1に示すように、表示制御装置101と、カスケード接続された液晶ドライバ104-1～104-11と、1024×768画素の液晶表示パネル107と、走査ドライバ群108と、電源回路109とを備えて構成される。また、図1において、102-1から102-11は転送される表示データ、103-1から103-11はクロック信号、105-1から105-11は制御信号、106-1から106-11はイネーブル信号、110は階調基準電圧である。

【0030】表示制御装置101は、表示データ、水平同期信号、垂直同期信号、表示タイミング信号の入力を受け、表示データ信号102、クロック信号103、制御信号105、イネーブル信号106を、当該表示制御装置101に接続されている最初の液晶ドライバ104-1へ出力する。

【0031】液晶ドライバ104-1～104-11は、表示制御装置101から出力された表示データ102-1～102-11、クロック信号103-1～103-

3-11および制御信号105-1～105-11を、カスケード接続された液晶ドライバ間で順送りすることで、全ての液晶ドライバに信号伝送を行う。

【0032】本実施形態のカスケード接続された液晶ドライバ構成では、まず表示制御装置101からイネーブル信号106-1、クロック信号103-1、制御信号105-1が第1段目の液晶ドライバ104-1のみに送出される。第1段目の液晶ドライバ104-1はイネーブル信号106-1が入力されると、表示データ102-1に含まれている当該液晶ドライバ104-1に対応する表示データ（第1チップデータ）を取り込み始める。該当する表示データの取り込みが終わると液晶ドライバ104-1は、イネーブル信号106-2を第2段目の液晶ドライバ104-2に送出する。

【0033】イネーブル信号106-2が入力された第2段目の液晶ドライバ104-2は、上述した第1段目の液晶ドライバ104-1と同様に、表示データ102-2に含まれている当該液晶ドライバ104-2に対応する第2チップデータを取り込み始め、その取り込み終わるとイネーブル信号103を次段の液晶ドライバ104-3へ送出する。

【0034】本実施形態では、このような一連の動作を最終の液晶ドライバ104-11まで繰り返す。この動作の間、イネーブル信号106の入出力によって、常に1つの液晶ドライバだけが動作して電源回路109から階調電圧110を選択し、他の液晶ドライバは動作しないため、液晶表示装置全体としての消費電力をより低く抑えることができる。

【0035】また、液晶ドライバが次段の液晶ドライバへ表示データを出力する際に、表示データ信号の変化タイミングが必要になるが、本実施形態のカスケード接続された複数の液晶ドライバでは、個々の液晶ドライバ内でクロック信号に基づき表示データの変化タイミングを再生し、次段の液晶ドライバへ表示データを同期して送出する構成をとることにする。

【0036】その時のタイミングチャートを図2に示す。イネーブル信号106-1が液晶ドライバ104-1に入力されると、表示データ102-1はクロック信号103-1の立ち上がり立ち下がり同期して取り込まれる。液晶ドライバ1つ分の表示データD1からDnまで取り込み終わると、イネーブル信号106-2を次段の液晶ドライバ104-2に送出し、表示データは液晶ドライバ内で作られた表示データの変化タイミングと出力クロック103-2の立ち上がり立ち下がり同期して送出される。

【0037】イネーブル信号106-2が入力された第2段目の液晶ドライバ104-2は表示データ102-2の第2チップデータから取り込み始める。取り込み終わるとイネーブル信号106-3を送出する。この一連の動作を最終の液晶ドライバまで繰り返す。

【0038】本実施形態におけるカスケード型接続された液晶ドライバの構成例を図3に示す。以下では、最初の液晶ドライバ104-1を例に挙げて説明するが、他の液晶ドライバも同じ構成を備えており、それらの詳細説明は省略する。

【0039】本実施形態の液晶ドライバ104-1は、図3に示すように、クロック制御部211と、同期手段として機能する同期部220を備えるラッチ用データ生成部212と、ラッチアドレスセクタ213と、ラッチ回路(1)214と、ラッチ回路(2)215と、レベルシフタ216と、液晶駆動回路217と、階調電圧生成部218と、イネーブル制御部219とを備えて構成される。

【0040】クロック制御部211は内部タイミング信号を制御する。イネーブル制御部219はイネーブル信号を生成し、出力する。イネーブル信号106-1がイネーブル制御部219に入力されると、当該液晶ドライバの動作信号221を出力し、クロック制御部211とラッチ用データ生成部212に動作を開始させる。

【0041】ラッチアドレスセクタ213はクロック信号103-1から、入力する表示データ102-1を順次取り込むラッチ信号を生成し、ラッチ回路(1)214に出力する。ラッチ回路(1)214はラッチアドレスセクタ213から出力するラッチ信号に基づいて、ラッチ用データ生成部212から出力された表示データの各色毎6ビットを順次ラッチする。ラッチ回路(2)215はラッチ回路(1)214で取り込んだ表示データを保持する。ラッチ回路(2)215に対しては外部から出力クロックが入力されており(図示せず)、ラッチ回路(2)215は該出力クロックに従いデータの出力を行う。

【0042】階調電圧生成部218は階調基準電圧に基づいて64階調分の階調電圧を生成し、液晶駆動回路217に出力する。表示データはレベルシフタ216で液晶駆動電圧へ昇圧され、液晶駆動回路217は6ビットの表示データに基づいて64階調の階調電圧の中の1つを選択して、ドレイン信号線に出力する。表示データを取り込み終わると、イネーブル制御部219はイネーブル信号106-2を次段の液晶ドライバ104-2に出力する。

【0043】イネーブル制御部219の構成例を図4に示す。

【0044】イネーブル制御部219はカウンタを備えている。表示制御装置101(第2の液晶ドライバ以降では前段の液晶ドライバ)が出力したイネーブル信号106-1がイネーブル制御部219に入力されると、クロック信号103-1が取り込まれ、当該カウンタでデータ個数分のクロック数をカウントし、イネーブル信号106-2を次段の液晶ドライバへ出力する。カウントはセクタ230によって決定される。

【0045】イネーブル信号106-1が入力されてからイネーブル信号106-2を出力するまで、当該液晶ドライバ104-1の動作信号221が出力される。イネーブル信号106-2は次段ドライバに入力され同様な動作を繰り返す。

【0046】次に、各液晶ドライバの内部での、表示データを次段へ送出するための変化タイミングを示すクロック信号生成方法と、同期部220で行われる同期方法について以下に説明する。以下の説明では、 $\pi/2$ 位相差方式と逡倍クロック生成方式を使用した場合をそれぞれ第1の構成例、第2の構成例として説明する。

【0047】(第1の構成例)同期部220の第1の構成例220aを図5に示す。図5において、304は同周波数で $\pi/2$ 位相異なる遅延クロック信号を生成するDLL(Delay Locked Loop)、305は入力された元のクロック信号103-1より $\pi/2$ 位相差がある遅延クロック、306-1と306-1は入力された表示データ102-1をクロック信号103-1と表示データの変化タイミングの $\pi/2$ 位相差の遅延クロック305とにそれぞれ同期させるためのフリップフロップ回路である。

【0048】なお、本構成例では、当該同期部220aが第1段の液晶ドライバ104-1に含まれている場合を想定しているが、本例の同期部220aおよび以下に説明する同期部220b(第2の構成例)は、当然のことながら他の液晶ドライバ104-2~104-11にも同様に具備されているものとする。

【0049】本例における $\pi/2$ 位相差伝送方式の同期部220aの動作について説明する。当該液晶ドライバ104-1にイネーブル信号106-1が入力されると、表示データ102-1の取り込みが開始される。その表示データ102-1は、クロック信号103-1にフリップフロップ回路306-1で同期され、フリップフロップ回路306-1で一旦ラッチされた信号はDLL304で遅延した信号305で取りこまれて、ラッチ用データ生成部212に格納される。

【0050】表示データ102-1を格納し終わるとイネーブル信号106-2を次段の液晶ドライバに送出する。ここで、表示データ102-1を次段へ送出するためには、表示データの変化タイミングが必要になる。その変化タイミングとしては、入力されたクロック信号103-1より $\pi/2$ 位相差のあるクロック信号305をDLL304で生成する。 $\pi/2$ 位相差のクロック305を表示データの変化タイミングとし、表示データ102-1をフリップフロップ回路306-2で同期する。

【0051】本例による $\pi/2$ 位相差生成方式のタイムチャートを図6に示す。イネーブル信号106-1が入力されると、図6(a)に示すように、表示データ102-1はクロック信号103-1の立ち上がり立ち下がり同期して入力され、動作中である当該液晶ドライ

一つ分の表示データを取り込む。ここで、図5の同期部220aから出力された表示データは、図3のラッチ用データ生成部212を経て、ラッチ回路(1)214へ出力される。当該液晶ドライバに対応する表示データを取り込み終わると、イネーブル信号106-2を次段の液晶ドライバ(本例では液晶ドライバ104-2)へ送出する。また、表示データは当該液晶ドライバ104-1内で作られた $\pi/2$ 位相差のクロック305を表示データの変化タイミングとして同期され(図6(b)参照)、次段の液晶ドライバへ送出される。

【0052】(第2の構成例)同期部220の第2の構成例(同期部220b)を図7に示す。図7において、404はPLL(Phase Locked Loop: 位相同期ループ)、405は入力されたクロック信号103-1の通倍のクロック信号、406-1と406-2はフリップフロップ回路である。

【0053】本構成例における通倍クロック生成方式による同期方法について説明する。同期部220bでは、入力された表示データ102-1はフリップフロップ回路406-1で入力されたクロック信号103-1に同期されて、取り込まれる。

【0054】また、表示データを次段の液晶ドライバへ送出するための変化タイミングは、通倍位相同期ループ404で生成する。入力されたクロック信号103-1に基づいて通倍位相同期ループ404で通倍クロック405を生成し、変化タイミングを含んだクロックとする。例えば、通倍クロック405はクロック信号103-1の偶数倍の周波数のクロックで前記変化タイミングを生成する。

【0055】表示データ102-1の出力では、当該表示データを通倍クロック405の立ち上がりによりフリップフロップ回路406-2で同期して次段の液晶ドライバへ送出する。この動作を最終段の液晶ドライバまで繰り返す。

【0056】本構成例における位相同期ループ404で通倍の周波数のクロックを使った場合のタイムチャートを図8に示す。イネーブル信号106-1が当該液晶ドライバへ入力されると、表示データ102-1は入力されたクロック信号103-1の立ち上がり立ち下がりにより同期して入力される(図8(a)参照)。当該液晶ドライバ104-1が対応する表示データを取り込み終わると、イネーブル信号106-2を次段の液晶ドライバ104-2へ送出する。

【0057】次段へ転送されるべき表示データは、当該液晶ドライバ内の位相同期ループ404で生成された通倍のクロックの立ち上がりにより当該表示データの変化タイミングとして(図8(b)参照)、出力クロック103-2の立ち上がり立ち下がりにより同期して次段の液晶ドライバへ送出される。

【0058】本発明において、カスケード型に接続され

た液晶ドライバ間を転送する周波数のクロックに基づいて、液晶ドライバの内部で生成した動作周波数のクロックと前記転送クロック信号との関係を図9のタイミングチャートに示す。例えば、本発明をVGA表示モードの640×480画素の液晶表示パネルに適用する場合、12.5MHzの周波数の転送クロックと25MHzの液晶ドライバの動作クロックとなる。また、SVGA表示モードの800×600画素の液晶表示パネルでは、20MHzの周波数の転送クロックと40MHzの液晶ドライバの動作クロック、XGA表示モードの1024×768画素の液晶表示パネルでは32.5MHzの周波数の転送クロックと65MHzの液晶ドライバの動作クロックである。

【0059】本発明による液晶表示装置の他の実施の形態について図10を参照して説明する。図10において、501は表示制御装置、502はシステムから転送される表示データ、503はクロック信号、504-1から504-4はカスケード接続されたn個の液晶ドライバ、505-1から505-4はイネーブル信号である。

【0060】本実施形態において、表示制御装置501から第1段の液晶ドライバ504-1にイネーブル信号505-1が入力されると、液晶ドライバ504-1ではクロック信号503に同期して表示データが取り込まれ、該取り込み動作が終了すると次段の液晶ドライバ504-2へイネーブル信号505-2を送出する。

【0061】また、液晶ドライバ504-1は、イネーブル信号505-2とともに表示データを次段の液晶ドライバ504-2へ送出し、表示データ502を送出し終わるとタイミング信号のみ転送し表示データ502の取り込みをしない。

【0062】送出された表示制御信号505-2が第2段の液晶ドライバ504-2に入力されると、当該液晶ドライバに対応する表示データ502だけを取り込み、その取り込みが終わるとイネーブル信号505-3を次段の液晶ドライバへ送出する。この動作を最終段の液晶ドライバ504-4まで繰り返す。

【0063】つまり表示データ502の取り込み開始と停止、そして次段の液晶ドライバへの送出動作が、イネーブル信号505-1～505-4の入出力によって、n個ある液晶ドライバのうち常に1つの液晶ドライバのみに制御される。

【0064】表示データを最終段の液晶ドライバに格納完了するまでの表示データとクロック信号の関係を図11のタイミングチャートに示す。本実施形態において、液晶ドライバー一つ分に相当する表示データ(図中のチップデータ)を転送するのに必要なクロック数をaとし、液晶ドライバの個数がnならば、最終段の液晶ドライバ504-4に表示データを格納完了するまでに最低限必要なクロック数はa×nとなる。また、各液晶ドライバ

で表示データをクロックに同期させて転送する際に遅延が発生する場合には、少なくともそれによって生じる位相ずれに対応して追加的なクロック数が必要となる。すなわち、 $a \times n$ 個のクロックに加えて、位相遅延によって必要となる追加分のクロックを転送し続けることが必要となる。

【0065】

【発明の効果】本発明によれば、カスケード接続された複数の液晶ドライバの各々では、クロックの動作周波数を下げるためにクロックの立ち上がり、立ち下がりの方のエッジに同期して表示データを取り込み、また、表示データを液晶ドライバの内部に取り込み終わるまで次段に信号を出力しない。このため、本発明によれば無駄な信号伝送を実施する必要がなくなる。

【0066】さらに、本発明によれば、複数の液晶ドライバの動作タイミングをイネーブル信号で制御することにより、表示データを取り込む液晶ドライバが常に1つとすることができるため、低消費電力化が可能となる。

【0067】さらに、本発明によれば、次段の液晶ドライバへ表示データを転送する際の、表示データの変化タイミングを各液晶ドライバ内で生成し、該変化タイミングに同期するよう表示データをラッチして出力することができる。

【0068】例えば、 $\pi/2$ の位相差がある2つのクロックを液晶ドライバ内で用意し、一方のクロックを出力表示データに同期させ、他方のクロックを次段液晶ドライバの動作クロックとして送出する $\pi/2$ 位相差手段や、逓倍のクロックを液晶ドライバ内の位相同期ループで作りだし、出力表示データに同期させる逓倍クロック生成手段等を、全ての液晶ドライバに設けることで、液晶ドライバの個数の増大や伝送線路の長距離化に対応できるため、より確実なデータ転送の実現が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態における液晶表示装置の構成例を示すもので、表示制御装置からカスケードに接続された液晶ドライバを示したブロック図。

【図2】図1の実施形態においてカスケード接続された液晶ドライバ間で転送されるクロック信号とイネーブル信号のタイミングチャート。

【図3】図1の実施形態におけるカスケード型接続されている液晶ドライバの構成例を示すブロック図。

【図4】図3の液晶ドライバにおけるイネーブル制御部の構成例を示すブロック図。

【図5】図3の液晶ドライバにおける同期部の一例で、位相遅延を持った $\pi/2$ 位相差方式を用いた構成例を示すブロック図。

【図6】図6(a)： $\pi/2$ 位相差方式により液晶ドライバ間で転送される信号のタイミングチャート。

図6(b)： $\pi/2$ 位相差方式により液晶ドライバ内部で使用される信号のタイミングチャート。

【図7】図3の液晶ドライバにおける同期部の一例で、位相同期ループを用いた逓倍クロック生成方式を用いた構成例を示すブロック図。

【図8】図8(a)：逓倍クロック方式により液晶ドライバ間で転送される信号のタイミングチャート。

図8(b)：逓倍クロック方式により液晶ドライバ内部で使用される信号のタイミングチャート。

【図9】本発明の一実施形態において、液晶ドライバ動作周波数のクロック信号と転送されるクロック信号のタイミングチャート。

【図10】本発明の一実施形態において、常に複数の液晶ドライバの1つのみが表示データを取り込むための主要部構成例を示すブロック図。

【図11】図10の実施形態において、表示データを最終液晶ドライバに格納完了するまでの表示データとクロック信号のタイミングチャート。

【図12】従来の液晶ドライバの主要部構成例を示すブロック図。

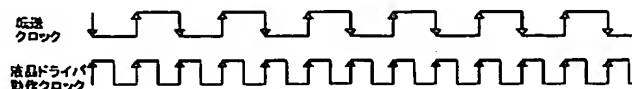
【図13】図12に示す従来の液晶ドライバにおける信号のタイミングチャート。

【符号の説明】

101…表示制御装置、107…液晶表示パネル、108…走査ドライバ、109…入力電源回路、110…階調電圧、211…クロック制御部、212…ラッチ用データ生成部、213…ラッチアドレスセクタ、214…ラッチ回路(1)、215…ラッチ回路(2)、216…レベルシフト、217…液晶駆動回路、218…階調電圧生成部、219…イネーブル制御部、220…同期部、304…DLL、305… $\pi/2$ 位相差があるクロック、404…逓倍位相同期ループ、405…逓倍のクロック、609…電源回路、610…階調電圧。

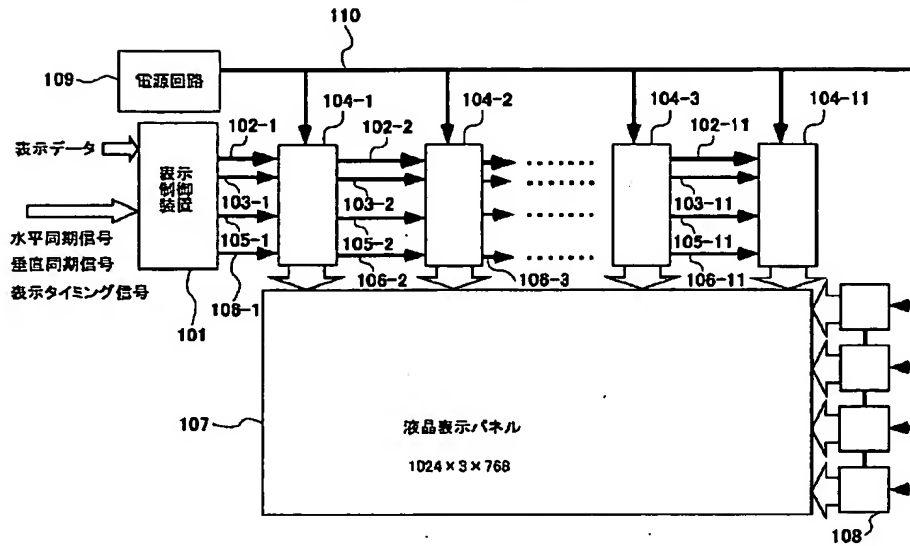
【図9】

図9



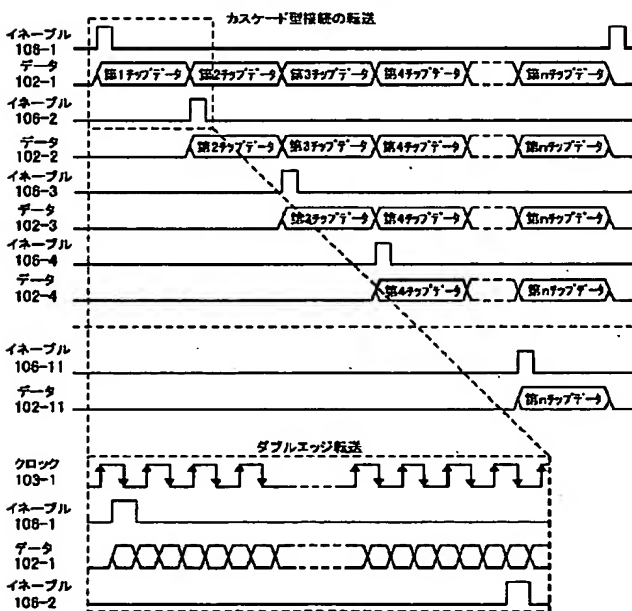
【図1】

図1



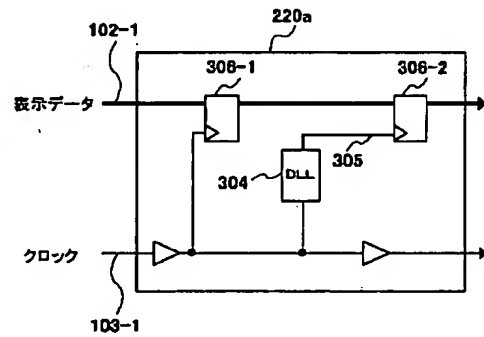
【図2】

図2



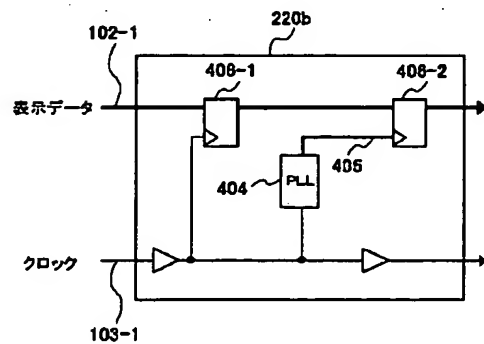
【図5】

図5

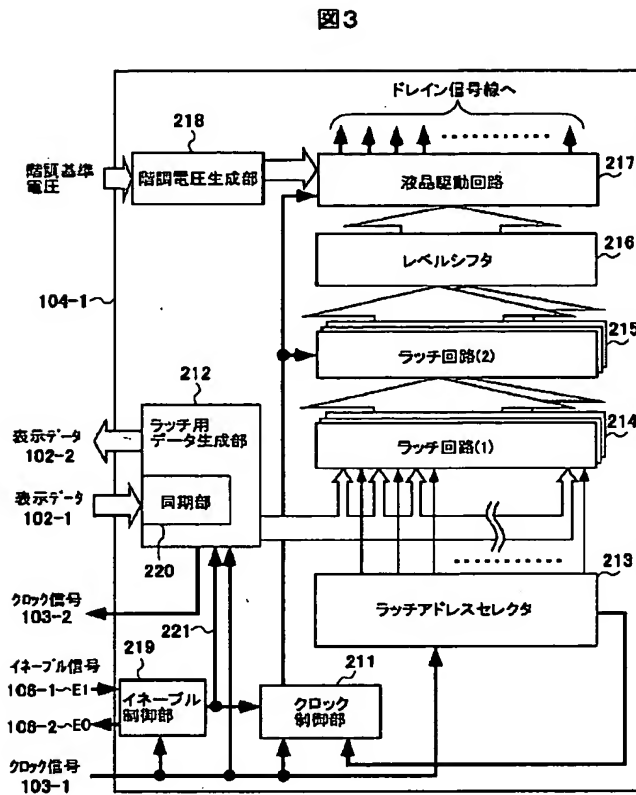


【図7】

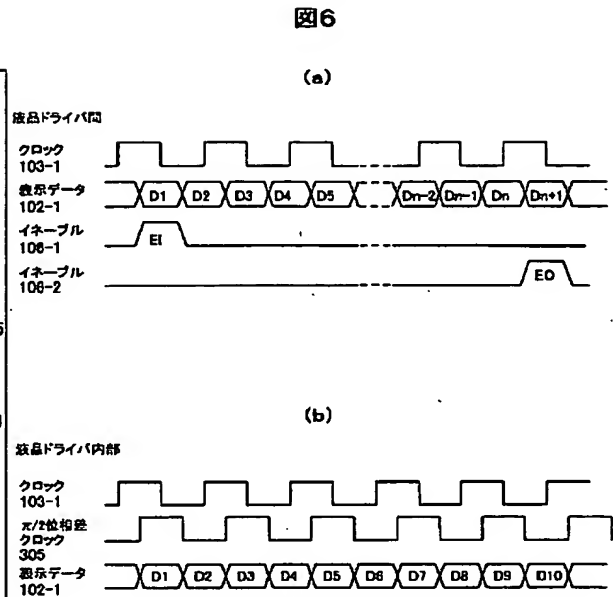
図7



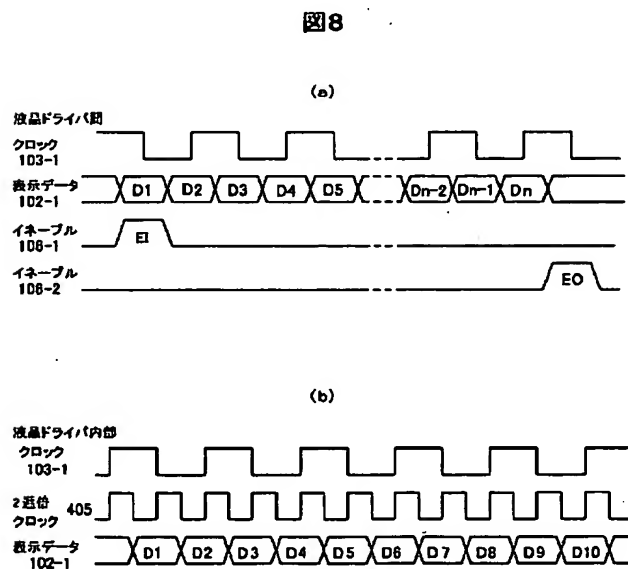
【図3】



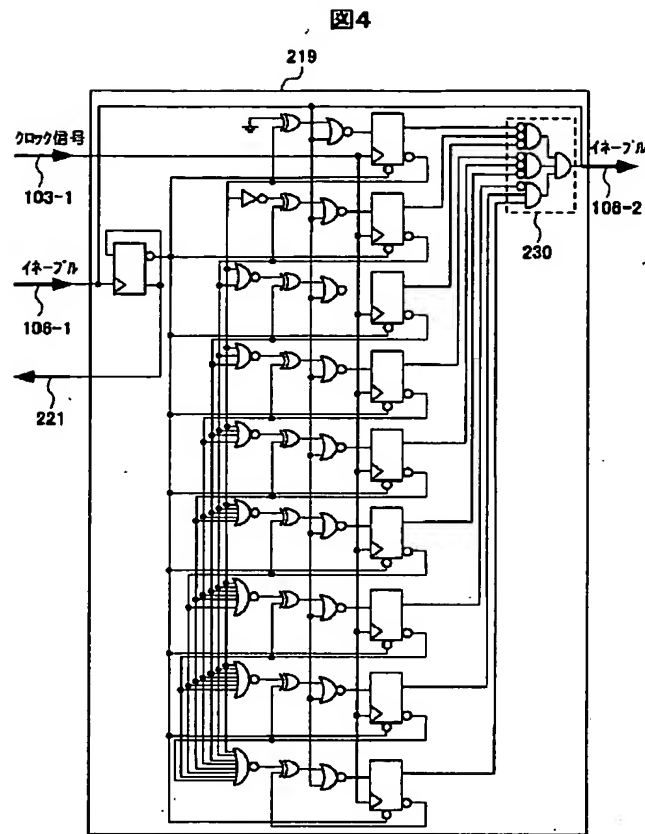
【図6】



【図8】

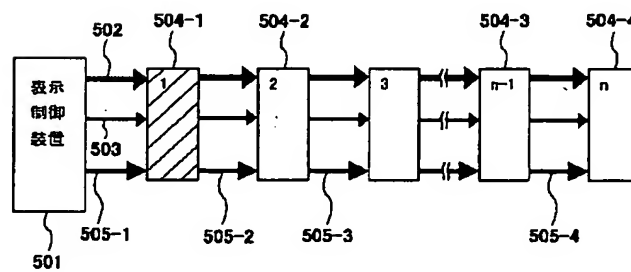


【図4】



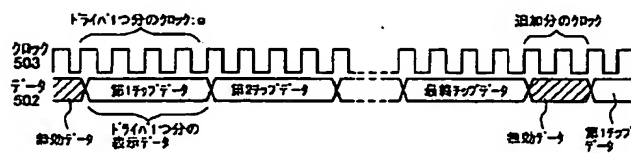
【図10】

図10



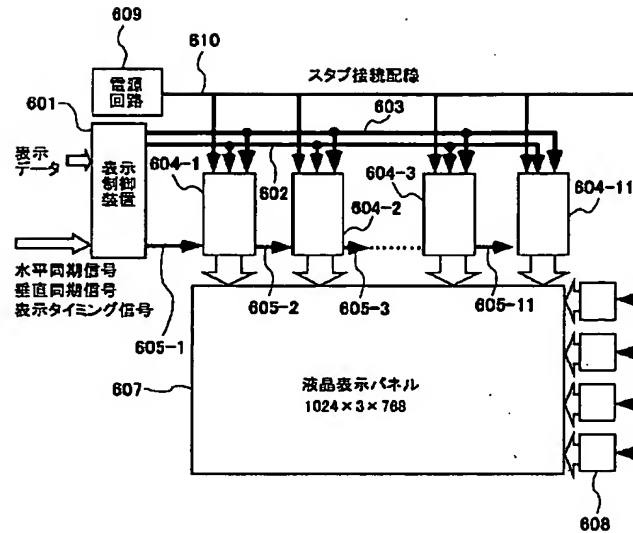
【図11】

図11



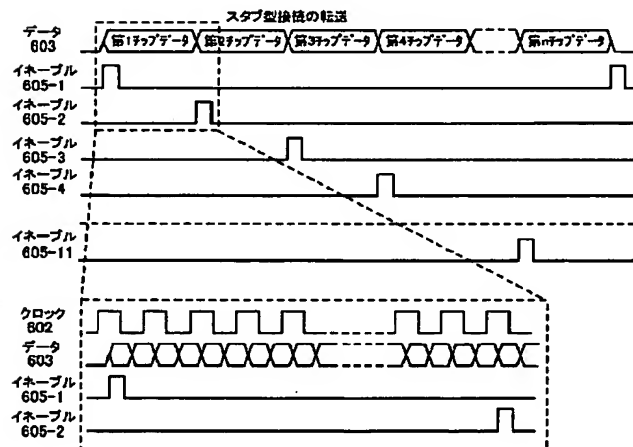
【図12】

図12



【図13】

図13



フロントページの続き

(72)発明者 渡邊 明洋
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 新田 博幸
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72)発明者 奥 博文
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 恒川 悟
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 2H093 NA51 NC01 NC12 NC26 ND39
ND60
5C006 AA16 AF69 BB16 BC12 BF04
BF07 BF26 FA42 FA47 FA51
5C080 AA10 BB05 DD26 DD27 EE29
FF11 JJ02 JJ03 JJ04